

Hybrid analog and digital amplifier with a delayed step change in the digital gain

Patent Number: ☐ US5677962
Publication date: 1997-10-14
Inventor(s): HARRISON SIMON IRVING (GB); FRINDLE PAUL ANTHONY (GB)
Applicant(s): SONY CORP (JP); SONY UK LTD (GB)
Requested Patent: ☐ JP8250947
Application Number: US19960588442 19960118
Priority Number(s): GB19950001566 19950126
IPC Classification: H03G3/00
EC Classification: H03G3/00D
Equivalents: ☐ GB2297443

Abstract

An amplifier comprises a variable gain analog amplifier for amplifying an input analog signal to generate an intermediate analog signal, the gain of the analog amplifier being switchable between two or more discrete gain values. An analog to digital converter converts the intermediate analog signal into a corresponding intermediate digital signal and a variable gain digital amplifier amplifies the intermediate digital signal. A gain control circuit, responsive to a required gain, selects one of the discrete gain values of the analog amplifier and a gain value of the digital amplifier so that the sum of the selected gain values is substantially equal to the required gain; and whether the required gain is increasing or decreasing is detected. If the required gain is decreasing, a delay circuit delays, by a predetermined period longer than a gain switching period of the analog amplifier, a step change in the gain value of the digital amplifier when the gain control circuit changes the selected discrete gain value for the analog amplifier. This can avoid subjectively disturbing transient boosts in the overall system gain when the analog amplifier's gain is switched.

Data supplied from the **esp@cenet** database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-250947

(43) 公開日 平成8年(1996)9月27日

(51) Int.Cl. ⁹	識別記号	序内整理番号	F I	技術表示箇所
H 0 3 G	3/02		H 0 3 G 3/02	A
H 0 3 F	1/00		H 0 3 F 1/00	D
	3/181		3/181	B
H 0 3 G	3/00		H 0 3 G 3/00	A

審査請求 未請求 請求項の数5 O L (全 6 頁)

(21) 出願番号 特願平8-11157

(22) 出願日 平成8年(1996)1月25日

(31) 優先権主張番号 9501566:5

(32) 優先日 1995年1月26日

(33) 優先権主張国 イギリス (G B)

(71) 出願人 593081408

ソニー・ユナイテッド・キングダム・リミ
テッド

Sony United Kingdom
Limited

イギリス国 サリー、ウェブリッジ、ブ
ルックランズ、ザ ハイツ (番地なし)

(72) 発明者 サイモン アービング ハリソン

イギリス国 オックスフォード、スタント
ン ハーコート、ペリメッド 44

(72) 発明者 ポール アンソニー フリンドル

イギリス国 オックスフォード、ウィット
ニー、イートン クローズ 104

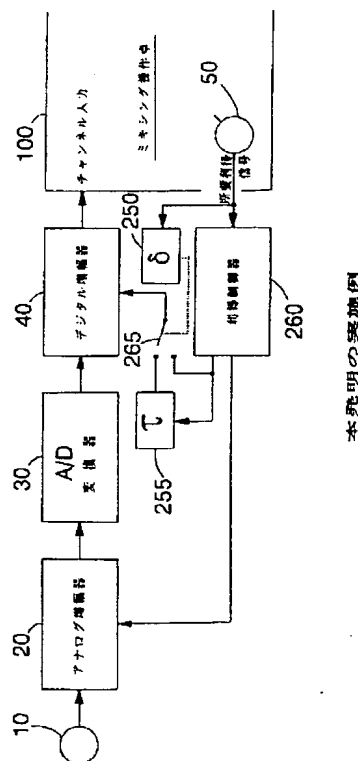
(74) 代理人 弁理士 松隈 秀盛

(54) 【発明の名称】 増幅器

(57) 【要約】

【課題】 利得を2つ以上の値に切替え可能で、入力アナログ信号を増幅する可変利得アナログ増幅器と、アナログ・デジタル変換器と、デジタル信号を増幅する可変利得デジタル増幅器とを含む増幅回路において、アナログ増幅器の利得を切替えるとき、総合利得に現れる邪魔な過渡的上昇を回避する。

【解決手段】 所要利得が減少しているときにのみ、デジタル増幅器の利得の切替え時間を遅らせることにより、信号レベルに過渡的上昇の代わりに余り気にならない過渡的低下を発生させるようにした。



【特許請求の範囲】

【請求項 1】 入力アナログ信号を増幅して中間のアナログ信号を発生し、利得が 2 つ以上の不連続な利得値の間に切替え可能な可変利得アナログ増幅器と、上記中間のアナログ信号を対応する中間のデジタル信号に変換するアナログ・デジタル変換器と、上記中間のデジタル信号を増幅する可変利得デジタル増幅器と、
所要の利得にตอบสนองして、上記アナログ増幅器の不連続な利得値の 1 つ及び上記デジタル増幅器の利得値を選択し、選択された利得値を組合せた結果が上記所要の利得にほぼ等しくなるようにする利得制御手段であって、上記アナログ増幅器の新しい別個の利得値を選択するとき、上記所要利得が増加しているか又は減少しているかを検出する手段と、上記所要利得が減少しているとの検出にตอบสนองして、上記アナログ増幅器の利得切替え期間より長い所定期間だけ、上記デジタル増幅器の利得値におけるステップ変化を遅らせる手段とを含む利得制御手段とを具えた増幅器。

【請求項 2】 上記デジタル増幅器の利得は、上記アナログ増幅器の不連続な利得値の間の間隔にほぼ等しい範囲に亘って可変である請求項 1 の増幅器。

【請求項 3】 入力アナログ信号がアナログ音声信号である請求項 1 又は 2 の増幅器。

【請求項 4】 入力段が請求項 3 の増幅器を含むデジタル音声処理装置用の音声入力段。

【請求項 5】 請求項 4 の入力段を含むデジタル音声処理装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、増幅器に関するものであり、もっと詳しくいえば、アナログ・デジタル変換器と連合する又はこれを含む可変利得増幅器に関する。

【0002】

【従来の技術】 アナログ・デジタル (A/D) 変換器は、(アナログ音声信号のような) アナログ入力信号をあとでデジタル処理するためにデジタル出力信号に変換するのに使用される。例えば、A/D 変換器はデジタル音声ミキシング操作卓で使用されている。

【0003】 デジタル領域で行われる処理により、A/D 変換器より出力されるデジタル信号のレベルを調整することは可能である。簡単にいえば、A/D 変換器のデジタル出力に 1 より小さいか又は大きい利得係数を乗じるだけでよい (本明細書では簡単のために、増幅器の利得が 1 より小さくても単に「増幅」という語を用いることにする。)

【0004】 しかし、このような A/D 変換器の使い方、特にこのレベル調整法は、入力アナログ信号のレベルが A/D 変換器の入力段の予想する信号レベルと適度

によくマッチ (整合) していることが前提となる。アナログ信号のレベルが高すぎる場合には、クリッピング (一部脱落) を生じる可能性がある。逆にアナログ信号レベルが低すぎると、A/D 変換処理により過度の量子化雑音を生じる可能性がある。

【0005】 後者の問題は、アナログ信号がマイクロホンから A/D 変換器に供給されているとき、著しく危険である。というのは、マイクロホンからの出力信号レベルが、例えば、電子音楽器やテープレコーダからのライン出力に比べて非常に低いことが多いからである。したがって、マイクロホンのアナログ信号を A/D 変換器の入力段に供給する前に該信号を増幅するため、アナログ前置増幅器がよく使用される。

【0006】 図 1 は、上述の以前に提案されたデジタル音声 (オーディオ) ミキシング操作卓 100 のチャンネル入力段の一部を形成する配置を示す。マイクロホン 10 は、アナログ増幅器 20 に低レベルのアナログ信号を供給する。アナログ増幅器 20 の出力信号は A/D 変換器 30 の入力に送られ、そこで、アナログ信号が対応するデジタル音声信号に変換される。デジタル音声信号のレベルはそれから、基本的には上述の乗算器であるデジタル増幅器 40 によって変えられる。アナログ増幅器 20 及びデジタル増幅器 40 は共に、ユーザが操作できる利得制御デバイス (素子) 50 の制御を受けて動作する。この利得制御デバイス 50 は、本例では、デジタル音声ミキシング操作卓 100 の一部をなし「所要利得」制御信号を利得制御器 60 に供給する。

【0007】 アナログ増幅器 20 の利得は不連続の (6 dB) ステップでしか調整することができないので、この増幅器は、A/D 変換器 30 に供給される信号レベルが大体において正しく、過度のクリッピングや量子化雑音を避けることができる。利得の微調整は、少なくとも 0~6 dB の範囲に及ぶ可変利得をもつデジタル増幅器 40 を用いて行われる。こうすれば、アナログ増幅器の利得を次の一番低い 6 dB ステップにセットし、次にデジタル増幅器 40 を用いてアナログ及びデジタル増幅器を組合せた結果所要の利得が得られるように、利得を 6 dB まで付け足す利得制御器 60 により、どんな所望の利得値でも得ることができる。

【0008】

【発明が解決しようとする課題】 デジタル増幅器の利得は一般に、利得が切替え (スイッチ) 可能なアナログ増幅器の利得より早く変化するため、上述の配置には問題がある。図 2 及び 3 を参照して、この問題をもっと詳細に述べる。

【0009】 図 2 は、所要利得を上げる場合の図 1 の入力段の利得変化を示す模式グラフである。図 2 には、所望の利得調整 110 (即ち、ユーザが制御デバイス 50 により設定し図 1 で「所要利得」信号によって表された利得)、デジタル増幅器 40 の利得変化 120、アナロ

グ増幅器 20 の利得変化 130 並びにデジタル及びアナログ増幅器を組合せて得られる総合利得 140 が示されている。

【0010】所要利得 110 が増加するに従い、アナログ増幅器の利得 130 は最初一定であり、デジタル増幅器の利得のみ増加する。しかし、或る点 150 で、デジタル増幅器の利得はその最大 (6 dB) に達する。したがって、この点で、アナログ増幅器の利得は 6 dB だけ急に上がり、デジタル増幅器の利得は、0 dB に急に下がり再び 0 dB から増加し始める。

【0011】しかし、アナログ増幅器 20 の利得変化がデジタル増幅器 40 の利得変化より遅いので、デジタル増幅器の利得が 0 dB に下がってからアナログ増幅器の利得が所要の 6 dB だけ上がるまでに、短い期間 160 (恐らく 2~3 ミリ秒) を要する。したがって、この短い期間に、デジタル増幅器 40 の出力信号に過渡的なカット又は低下が生じる。

【0012】図 3 は、所要利得 110 を下げる場合の図 2 と類似のグラフである。所要利得 110 が減少するにつれ、デジタル増幅器の利得が最小の 0 dB になる点 180 に達する。この点で、アナログ増幅器の利得は 1 ステップの 6 dB だけ下にスイッチされ、デジタル増幅器の利得は、6 dB まで急に上がり 6 dB から再び下がり始める。

【0013】前と同様に、アナログ増幅器の利得 130 はデジタル増幅器の利得より遅く変化する。ただし、今度は、デジタル増幅器の利得が 6 dB だけ上昇してからアナログ増幅器の利得が所要の 6 dB だけ低下するまでに、短い期間 190 を要する。このため、この期間 190 に、デジタル増幅器 40 及びアナログ増幅器 20 を組合せた総合利得に過渡的な 6 dB の急上昇 (ブースト) 200 を生じる。

【0014】したがって、デジタル及びアナログ増幅器の切替わり時間の間の遅延は、図 1 におけるマイクロホン入力信号に適用される利得に望ましくない過渡的な低下又は上昇を引き起こす。よって、本発明の課題は、上述の問題点を解消することである。

【0015】

【課題を解決するための手段】本発明の増幅器は、入力アナログ信号を増幅して中間アナログ信号を発生し、利得が 2 つ以上の不連続な利得値の間で切替え可能な可変利得アナログ増幅器と、上記中間アナログ信号を対応する中間デジタル信号に変換するアナログ・デジタル変換器と、上記中間デジタル信号を増幅する可変利得デジタル増幅器と、所要の利得にตอบสนองして、上記アナログ増幅器の不連続な利得値の 1 つ及び上記デジタル増幅器の利得値を選択し、選択された利得値を組合せた結果が上記所要の利得にほぼ等しくなるようにする利得制御手段であって、上記アナログ増幅器の新しい別個の利得値を選択するとき、上記所要利得が増加しているか又は減少し

ているかを検出する手段と、上記所要利得が減少しているとの検出にตอบสนองして、上記アナログ増幅器の利得切替え期間より長い所定期間だけ、上記デジタル増幅器の利得値におけるステップ (階段的) 変化を遅らせる手段とを含む利得制御手段とを具える。

【0016】本発明は、入力信号の利得における過渡的な低下が、過渡的な上昇より主観的に余り気にならないとの認識に基くものである。所要の利得が減少するときに、図 1 の配置において過渡的な上昇が現れるので、本発明による増幅器は、所要利得が減少しているときにのみ、デジタル増幅器の利得におけるステップ変化 (例えば 6 dB 増加) をアナログ増幅器の利得におけるステップ減少の僅か後に行わせ、信号レベルに過渡的なカット (過渡的な上昇でなく) を発生させることである。

【0017】この素晴らしく簡単な問題解決法は、2 つの増幅器を同時に切替えようとする代替の方法に比べ、厳密に正確なタイミング (これは、例えば、デジタル音声ミキシング操作卓においてデジタル及びアナログ増幅器が幾らか離れて配置されている場合、特に問題である。) を必要としないので、有利である。本発明はまた、切替え期間を増幅器の間で正確に反復できるアナログ増幅器を必要としない。

【0018】デジタル増幅器の利得は、アナログ増幅器の不連続な利得値間の間隔にほぼ等しい範囲に亘って可変であるのがよい。本発明は、音声信号、特にマイクロホン出力信号のような低レベル音声信号に関連して使用するのに適している。したがって、本発明による増幅器は、デジタル音声処理装置の音声入力段として有用である。本発明はまた、かような入力段を有するデジタル音声処理装置をも包含する。

【0019】

【発明の実施の形態】以下、図面を参照して本発明を具体的に説明する。図 4 は、本発明の実施例を示すブロック図である。図 4 に示すデジタル音声ミキシング操作卓 100 のマイクロホン入力段は、図 1 と同様にマイクロホン 10 に接続された利得切替えアナログ増幅器 20 を有し、その出力は A/D 変換器 30 に供給される。A/D 変換器 30 のデジタル化された出力は、可変利得デジタル増幅器 40 に送られ、その出力は操作卓 100 の入力チャンネルに供給される。操作卓 100 にある利得制御デバイス 50 は、利得制御器 260 に「所要利得」信号を供給し、利得制御器 260 は、アナログ増幅器 20 及びデジタル増幅器 40 の利得を制御する。構成要素 10、20、30、40、50 及び 100 の動作は、上述した図 1 における対応要素の動作と同一であり、利得制御器 260 の動作は、後述の差異を除き上述の利得制御器 60 の動作に似ている。

【0020】利得制御器 260 により発生された、デジタル増幅器 40 の利得を制御する利得制御情報は、デジ

タル増幅器40に直接か又は遅延回路255を介して供給される。利得制御情報を遅らせる選択はスイッチ265によって行われ、該スイッチはまた識別回路250によって制御される。

【0021】識別（又は類似の）回路250は、所要（要求された）利得が増加しているか又は減少しているかを検出する。識別回路250は、所要利得が減少していることを検出すると、スイッチ265を制御して遅延回路255の遅延出力を選択させる。所要利得が増加していることを検出したときは、遅延回路255の遅延出力は選択されない。

【0022】遅延回路255による遅延は、デジタル増幅器40の利得における0dBから6dBへのステップ上昇を所定期間だけ遅らせる。ただし、アナログ増幅器20の利得における6dBだけの低下は直ちに開始される。遅延回路255による遅延は、通常の増幅器間変動及び超過時間を考慮して、使用するアナログ増幅器の切替え期間より長くなるように予め選定する。例えば、使用する特定のアナログ増幅器の設計の切替え期間が約3ミリ秒と5ミリ秒の間で変動する場合、遅延回路255は、デジタル増幅器の利得の切替え時間に10ミリ秒の遅延を課すことになる。

【0023】これらの方策の作用を図5及び6に示す。図5は、図4の実施例の作用を示す模式グラフ（実際は上述の図2と同じ）であり、所望の利得調整110（即ち、ユーザが制御デバイス50で設定し、図4の所要利得信号によって表される利得）、デジタル増幅器40の利得変化120、アナログ増幅器20の利得変化130並びにデジタル及びアナログ増幅器を組合せて得られる総合利得140が示されている。

【0024】図5では所要利得が増加しているので、識別回路250は、デジタル増幅器の切替え時間に遅延を加えさせない。したがって、切替え時間に、上述の図2に示した過渡的カットと同一の過渡的カット（低下）170が生じる。

【0025】図6は、所要利得110を下げるときの図4の実施例の作用を示す模式グラフである。この場合、識別回路250は、遅延回路255の出力を選択して、デジタル増幅器の利得の0dBから6dBへの切替えを上述の所定期間だけ遅らせる。

【0026】点180において、デジタル増幅器40の利得は0dBに達する。したがって、アナログ増幅器の利得は6dBだけ低下する（これは、切替え遅延期間270の後に生じる。）が、デジタル増幅器の利得は、遅延回路255が課した所定の遅延期間（260で示す。）が過ぎるまで0dBから6dBに変化しない。

【0027】これらの方策の結果、信号の総合利得140は過渡的上昇（図3）の代わりに6dBの過渡的カット275を受けるが、これは、主観的に過渡的上昇より遙かに邪魔にならない。

【0028】遅延回路255の出力は、識別回路が所要利得信号における負の勾配を検出した時に選択するようにできるが、デジタル増幅器の利得を急増すべき時点

（又は極めて僅か前）においてのみ選択するようにもできる。この後者の配置とするには、利得制御器260から識別回路及びスイッチにデジタル増幅器の利得が0dBに近いことを示す信号を供給するという、小さな修正を図4に施す必要があろう。この指示信号をそれから、減少しつつある所要利得の検出と組合せて遅延回路255の出力を選択するようにしてもよい。遅延回路255の出力が先に選択されると、デジタル増幅器の利得に僅かな変化、即ちグリッチがあるかも知れないが、これは、通常の状態では、遅延回路255による遅延期間の間所要利得信号は余り変化しないから、本当に極めて小さいであろう。（利得制御器が、デジタル増幅器40に絶対的でなくインクリメンタルな（1つずつ増加する）利得制御情報を送信すると共に、必要なときに利得を0又は6dBに戻すリセット指示信号を送信するよう構成すれば、上述の如きどんなグリッチも軽減できるであろう。）

【0029】図6では、デジタル増幅器の利得は、遅延期間260の間僅かに減少し続けている。しかし、他の具体例では、この期間におけるデジタル増幅器の利得を一定に保つことができるであろう。

【0030】上述の実施例では、利得制御器（並びに関連する識別回路250、遅延回路255及びスイッチ265）及びデジタル増幅器を操作卓100とは別個のユニットとして示した。しかし、これら2つのユニットは勿論、該デジタル操作卓の制御及び信号処理作用の中に組み入れてもよい。同様に、2つ以上のアナログ増幅器、A/D変換器及びデジタル増幅器を単一のユニットに構成することも考えられる。

【0031】

【発明の効果】以上説明したとおり、本発明によれば、所要の利得が減少しているときに現れる邪魔な過渡的上昇を、余り気にならない過渡的低下に変えることができるので、アナログ及びデジタル増幅器を組合せて使用する場合に総合利得に生じる過渡的上昇の影響を軽減することができる。

【図面の簡単な説明】

【図1】従来のデジタル音声ミキシング操作卓のマイクロホン入力段を示す概略図である。

【図2】所要利得が増加しているときの図1の入力段の利得変化を示す模式グラフである。

【図3】所要利得が減少しているときの図1の入力段の利得変化を示す模式グラフである。

【図4】本発明を実施したデジタル音声ミキシング操作卓のマイクロホン入力段を示す概要図である。

【図5】所要利得が増加しているときの図4の入力段の利得変化を示す模式グラフである。

【図 6】 所要利得が減少しているときの図 4 の入力段の利得変化を示す模式グラフである。

【符号の説明】

20 アナログ増幅器

30 アナログ・デジタル変換器

40 デジタル増幅器

250 検出手段（識別回路）

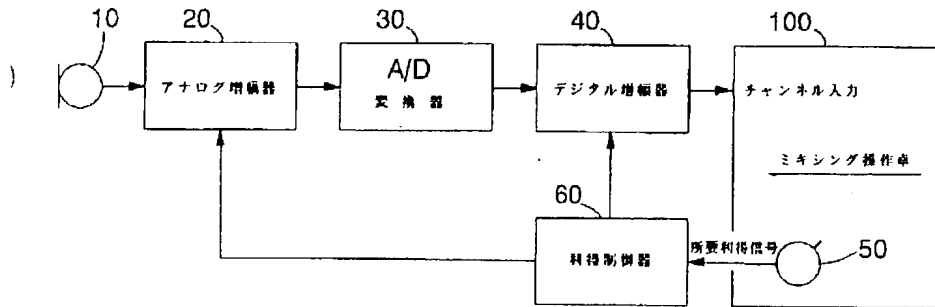
255 遅延回路

265 スイッチ

260 利得制御器

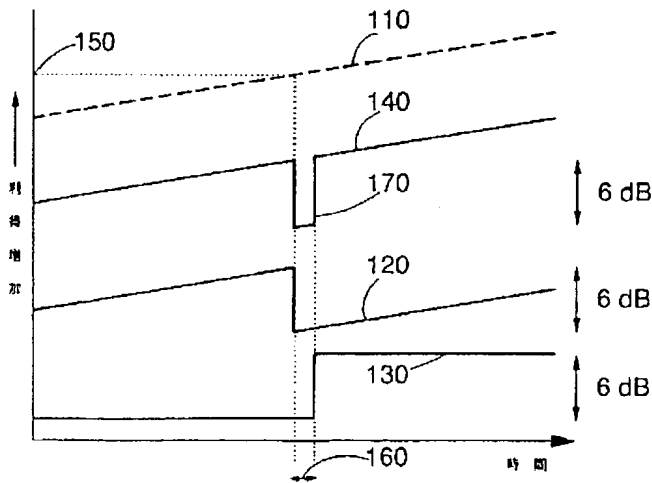
250～260 利得制御手段

【図 1】



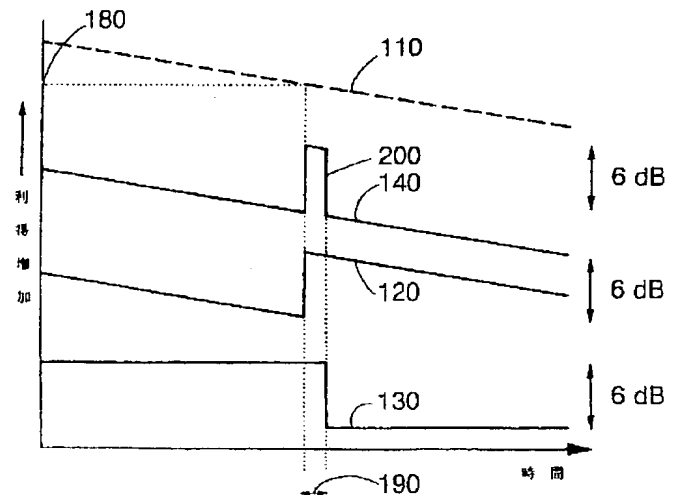
従 来 例

【図 2】



利得を上げる場合の図 1 の入力段の利得変化

【図 3】

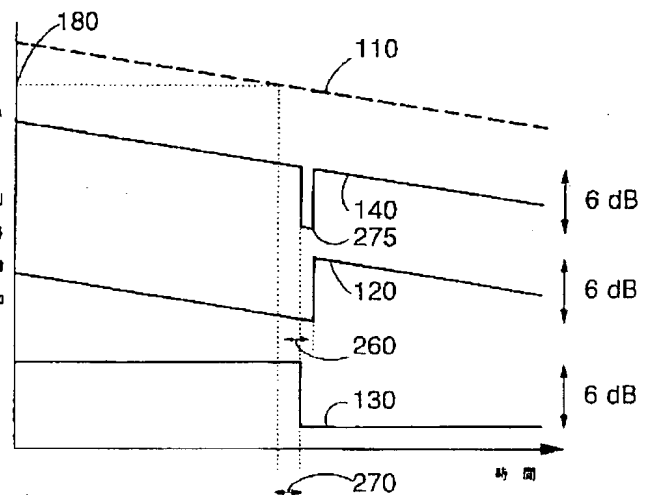


利得を下げる場合の図 1 の入力段の利得変化

```

graph LR
    10((10)) --> 20[20 アナログ増幅器]
    20 --> 30[30 A/D 変換器]
    30 --> 40[40 デジタル増幅器]
    40 --> 100[100 チャンネル入力  
ミキシング操作卓]
    100 --> 50((50 所愛利器信号))
    50 --> 260[260 利得制御器]
    260 --> 255[255 τ]
    255 --> 20
    260 --> 250[250 δ]
    250 --> 40
    250 --> 260
  
```

【図 6】



利得を下げる場合の図4の入力段の利得変化